

PAT-NO: JP02000174333A

DOCUMENT-IDENTIFIER: **JP 2000174333 A**

TITLE: GALLIUM NITRIDE COMPOUND SEMICONDUCTOR
LIGHT-EMITTING
ELEMENT AND MANUFACTURE THEREOF

PUBN-DATE: June 23, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
OKAZAKI, HARUHIKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP10342479

APPL-DATE: December 2, 1998

INT-CL (IPC): H01L033/00

ABSTRACT:

PROBLEM TO BE SOLVED: To facilitate chip-formation by a method, wherein an **active** layer is formed on an n-**GaN clad** layer, and a p-**GaN clad** layer, a connection layer, and a conductive substrate are sequentially formed thereon, and a first electrode is formed on the conductive substrate, and at the same

time a second electrode is formed on a part of the n-GaN clad layer.

SOLUTION: A GaN buffer layer 13 is formed on a sapphire substrate 14, and a double heterostructure is formed which comprises an n-GaN clad layer 11, an InGaN active layer 10, and a P-GaN clad layer 9 on the GaN buffer layer 13. An Au connection layer 8 is formed through a vapor-deposition method on the P-GaN clad layer 9, and is closely adhered to the Au connection layer 8 in a pressurized state, annealed, so that GaAs conductive substrates 7 are stuck to each other. Thereafter, a sapphire substrate 14 and a GaN buffer layer 13 are removed to form an n electrode 1 in a part of the n-GaN clad layer 11 exposed, and also a p-electrode 4 is formed on the GaAs conductive substrate 7.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-174333
(P2000-174333A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl. ⁷	識別記号	F I	マークシート(参考)
H 0 1 L 33/00		H 0 1 L 33/00	C 5 F 0 4 1

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号 特願平10-342479

(22)出願日 平成10年12月2日(1998.12.2)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 岡崎 治彦

神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内

(74)代理人 100083161

弁理士 外川 英明

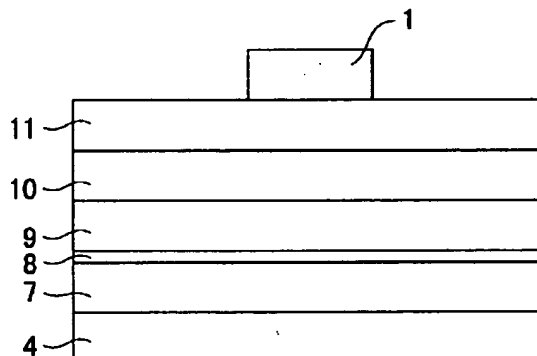
Fターム(参考) 5F041 AA03 AA21 AA41 CA04 CA05
CA33 CA34 CA35 CA37 CA40
CA46 CA66 CA74 DA18 DA43

(54)【発明の名称】 窒化ガリウム系化合物半導体発光素子及び製造方法

(57)【要約】

【課題】 窒化ガリウム系 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 化合物半導体発光素子構造において、発光効率が良く、素子抵抗を抑えた発光素子構造およびその製造方法を提供することを目的とする。

【解決手段】 n-GaNクラッド層と、前記n-GaNクラッド層上に形成された $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 材料からなる活性層と、前記活性層上に形成されたp-GaNクラッド層と、前記p-GaNクラッド層上に形成された接続層と、前記接続層上に形成された導電性基板と、前記導電性基板上に形成された第一の電極と、前記n-GaNクラッド層上の一部に形成された第二の電極とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 n-GaNクラッド層と、前記n-GaNクラッド層上に形成された $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 材料からなる活性層と、前記活性層上に形成されたp-GaNクラッド層と、前記p-GaNクラッド層上に形成された接続層と、前記接続層上に形成された導電性基板と、前記導電性基板上に形成された第一の電極と、前記n-GaNクラッド層の一部に形成された第二の電極と、を具備することを特徴とする窒化ガリウム系化合物半導体発光素子。

【請求項2】 前記導電性基板はSi, Ge, GaP, GaAs, InPのいずれかであることを特徴とする請求項1記載の窒化ガリウム系化合物半導体発光素子。

【請求項3】 前記接続層はAu, Ag, Ni, In, Gaのいずれかであることを特徴とする請求項1記載の窒化ガリウム系化合物半導体発光素子。

【請求項4】 基板上にバッファ層を形成する工程と、前記バッファ層上にn-GaNクラッド層と $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 材料からなる活性層とp-GaNクラッド層を順に形成する工程と、接続層を前記p-GaNクラッド層上に形成する工程と、前記接続層上に導電性基板を張り合わせる工程と、前記導電性基板上に第一の電極を形成する工程と、前記基板および前記バッファ層を除去する工程と、前記n-GaNクラッド層の一部に第二の電極を形成する工程と、を具備することを特徴とする窒化ガリウム系化合物半導体発光素子の製造方法。

【請求項5】 n-GaNクラッド層と、前記n-GaNクラッド層上に形成された $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 材料からなる活性層と、前記活性層上に形成されたp-GaNクラッド層と、前記p-GaNクラッド層上に形成された第一の接続層と、前記第一の接続層上に形成された高融点金属膜と、前記高融点金属膜上に形成された第二の接続層と、前記第二の接続層上に形成された導電性基板と、前記導電性基板上に形成された第一の電極と、前記n-GaNクラッド層の一部に形成された第二の電極と、を具備することを特徴とする窒化ガリウム系化合物半導体発光素子。

【請求項6】 n-GaNクラッド層と、前記n-GaNクラッド層上に形成された $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 材料からなる活性層と、前記活性層上に形成されたp-GaNクラッド層と、前記p-GaNクラッド層上に形成された光反射層と、前記光反射層上に形成された接続層と、前記接続層上に形成された導電性基板と、前記導電性基板上に形成された第一の電極と、前記n-GaNクラッド層の一部に形成された第二の電極と、を具備することを特徴とする窒化ガリウム系化合物半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は窒化ガリウム系 $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 化合物半導体発光素子構

造およびその製造方法に関する。

【0002】

【従来の技術】 緑色から青色領域に至る発光ダイオード(LED)の材料として、窒化ガリウム系化合物半導体である $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) が用いられている。この材料は直接遷移型のバンド構造を有するといわれており、高い発光強度をもつ。高輝度発光素子用材料として開発の期待されるこの材料は、シリコンの理論限界を超える電流・電圧・周波数領域下での電子デバイスとしての利用という点からも注目を集めている。 $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 化合物半導体材料の結晶成長温度は700℃から800℃であり、特にGaNでは1200℃の高い値を持つ。そこで高温下でも劣化せず安定した基板材料としてサファイアやSiCが用いられている。図12は従来の窒化ガリウム系化合物半導体発光素子の構造を示す断面図である。サファイア基板14の絶縁性のためp電極4、n電極1は共にサファイア基板側と反対の結晶成長面側に形成される。ダブルヘテロ構造部はn-GaNクラッド層11、活性層10、p-GaNクラッド層9から構成され、これら全体へ電流を流すために、p-GaNクラッド層9上に透明電極27と電流阻止用の絶縁膜28を形成し、透明電極27上の一部と絶縁膜28上にp電極4は形成される。この従来の発光素子の製造方法を記す。まずサファイア基板14上にGaNバッファ層13、n-GaNクラッド層11、 $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 活性層10、そしてp-GaNクラッド層9を順次結晶成長させる。 $\text{Al}_x\text{Ga}_{1-x}\text{In}_1-\text{yN}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 活性層10とp-GaNクラッド層9の一部をエッチング除去してn-GaNクラッド層11の一部を露出させる。露出したn-GaNクラッド層11上の一部にn電極1を形成させる。p-GaNクラッド層9上に透明電極27と電流阻止用の絶縁膜28を形成させる。透明電極27上の一部と電流阻止用の絶縁膜28上にp電極4を形成させる。

【0003】 図11は従来の窒化ガリウム系化合物半導体発光素子を用いたLEDの概略構造を示す断面図である。半導体発光素子はp電極4側を上にしてリード24の上に配置され、p電極4はボンディングワイヤー25を介して、リード26に接続しており、n電極1はボンディングワイヤー23を介して、リード24に接続している。

【0004】

【発明が解決しようとする課題】 図12に示す従来の窒化ガリウム系化合物半導体発光素子はn電極1をn-GaNクラッド層11の結晶成長面に形成するために、図中12の部分だけ大きい基板を必要とした。またn電極1のn-GaNクラッド層11との接続面積部分からの発光は行われないため、非効率であった。従来の発光素子はn-GaNクラッド層11内において、n電極1へ向かって電流を横方向に流す構造であるため広がり抵抗を生じ、素子抵抗の大きいものであった。従来の窒化ガリウム系化合物

物半導体発光素子の製造工程は、結晶成長した $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{N}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 活性層10とp-GaNクラッド層9の一部の除去を必要とし、また透明電極27や絶縁膜28の形成を必要とした。n電極1はn-GaNクラッド層11上に形成されており、図11に示すようにボンディングワイヤー23を介してリード24に接続する工程が必要であった。チップ化の工程はサファイア基板の硬い材質のため難しく、歩留まりの低下を招いていた。

【0005】

【課題を解決するための手段】本発明の窒化ガリウム系化合物半導体発光素子はn-GaNクラッド層と、前記n-GaNクラッド層上に形成された $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{N}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 材料からなる活性層と、前記活性層上に形成されたp-GaNクラッド層と、前記p-GaNクラッド層上に形成された接続層と、前記接続層上に形成された導電性基板と、前記導電性基板上に形成された第一の電極と、前記n-GaNクラッド層の一部に形成された第二の電極とを具備することを特徴とする。また前記導電性基板はSi, Ge, GaP, GaAs, InPのいずれかであることを特徴とする。また前記接続層はAu, Ag, Ni, In, Gaのいずれかであることを特徴とする。更に窒化ガリウム系化合物半導体発光素子の製造方法は基板上にバッファ層を形成する工程と、前記バッファ層上にn-GaNクラッド層と活性層とp-GaNクラッド層を順に形成する工程と、接続層を前記p-GaNクラッド層上に形成する工程と、前記接続層上に導電性基板を張り合わせる工程と、前記導電性基板上に第一の電極を形成する工程と、前記基板および前記バッファ層を除去する工程と、前記n-GaNクラッド層の一部に第二の電極を形成する工程とを具備することを特徴とする。

【0006】このように本発明は、発光素子の構造において2つの電極のうち一方を導電性基板上に形成するものであり、従来n-GaNクラッド層上に形成していた電極の接続面積分だけ発光の増加を可能とする。また電流の流れはダブルヘテロ構造部の層に対して垂直方向になるため、従来のn-GaNクラッド層内での横方向の流れに比べて素子抵抗を抑えられる。発光素子の製造において、固いサファイア基板を除去することによりチップ化が容易になり、歩留まりを向上させることができる。

【0007】

【発明の実施の形態】以下、本発明の詳細を図示の実施例によって説明する。図1は本発明の半導体発光素子を用いたLEDの概略構造を示す断面図である。半導体発光素子はn電極1を上にしてリード5の上に配置され、n電極1はボンディングワイヤー2を介して、リード3に接続している。p電極4はボンディングワイヤーを介さず、直接リード5に接続している。発光素子およびリードの一部は透明樹脂6により覆われている。図2は第一の実施例における半導体発光素子の概略構造を示す断面図である。半導体発光素子は下から順にp電極4、GaAs導電性基板7、Au接続層8、p-GaNクラッド層9、InGa

活性層10、n-GaNクラッド層11およびn-GaNクラッド層11上の一部に形成されたn電極1で構成されている。第一の実施例においてn電極1とp電極4はダブルヘテロ構造部とGaAs導電性基板7を挟むように上下に形成している。このため、従来n電極1を結晶成長面に接続するために必要であった面積分(図12の12)だけチップサイズは小さくできる。1辺350 μm の正方形を1辺200 μm に縮小出来るため、2インチウエハから取れるチップ数は従来の約16,000個から約49,000個に増大することが出来る。またチップサイズを変えない場合は、発光領域を広くすることが出来る。第一の実施例における半導体発光素子のI-V特性は図3に示した。第一の実施例における半導体発光素子は従来の発光素子に比べて注入電流20mA時に約0.3Vの電圧低下を示した。電流のダブルヘテロ構造部内での上下方向の流れにより、素子抵抗が低減したことがこの結果に起因していると考えられる。本実施例では導電性基板7にGaAsを用いたが代わりにSi, Ge, GaP, InPのいずれかを用いることを可能とし、接続層8はAuの代わりにGa, In, Ni, Agのいずれかを用いることを可能とする。

【0008】次に第一の実施例に示した半導体発光素子の製造工程を図2、図4、図5を用いて説明する。図4において、サファイア基板14上にGaNバッファ層13を形成する。GaNバッファ層13上に分子線エピタキシャル成長(MBE)法を用いてn-GaNクラッド層11、InGaAs活性層10、p-GaNクラッド層9からなるダブルヘテロ構造部を形成する。そして蒸着法によりAu接続層8をp-GaNクラッド層9上に形成する(図5)。このAu接続層8の厚さは10nm以下に設定する。GaAs導電性基板7をAu接続層8に加圧状態で密着させながら、窒素ガス雰囲気中で700 $^{\circ}\text{C}$ 、1時間のアニールを行うことにより張り合わせる。接続層8に用いられるAuはp-GaNクラッド層9とGaAs導電性基板7からGaの析出を促す。析出したGaと接続層Auとの化合により、GaAs導電性基板7はダブルヘテロ構造部上に接着する。GaAs導電性基板7の厚さは50 μm から100 μm の範囲に設定する。サファイア基板14は約10 μm の厚さに研磨し、RIE(Reactive Ion Etching)法を用いて完全に除去する。GaNバッファ層13もRIE法により完全に除去する。サファイア基板14およびGaNバッファ層13を除去して露出したn-GaNクラッド層11上の一部にNiからなるn電極1を形成する(図2)。なおn電極1にTi, AlあるいはAuGeを用いることも可能である。GaAs導電性基板7上にはAuZnからなるp電極4を形成する。p電極、n電極は共に窒素雰囲気中500 $^{\circ}\text{C}$ 、20秒のアニールによりオーミック電極として形成する。第一の実施例の製造工程においてサファイア基板14を除去しGaAs導電性基板7を形成することにより、チップ化の工程は容易になり、歩留まりを向上させることができる。図6は本発明の第二の実施例に係わる発光素子を示す断面図である。図中n電極1、p電極4、Ga

As導電性基板7、Au接統層8、p-GaNクラッド層9、InGa
aN活性層10、n-GaNクラッド層11は第一の実施例と
同様の構造であるため、説明を省略する。本実施例では
Au接統層8とGaAs導電性基板7との間にPt膜15、Au接
統層16が形成されている点で第一の実施例と異なる。
Au接統層8の形成後、Pt膜15はAu接統層8上に蒸着し
て形成し、Au接統層16はPt膜15上に蒸着して形成す
る。次にGaAs導電性基板7をAu接統層16に加圧状態で
密着させながら窒素ガス雰囲気中700℃、1時間のアニ
ールを行うことにより張り合わせる。本実施例では接統
層8および16にAuを用いたが代わりにGa, Ni, In, Agのい
づれかを用いることが可能である。また接統層8および
16は必ずしも均一な薄膜でなくクラスター状あるいは
何らかのパターン状であってもよい。Pt膜15はNi, Pd,
W, Mo, Tiを用いてもよい。Pt膜15はAu接統層8と16
を熱に対して安定させることが出来る。

【0009】図7は本発明の第三の実施例に係わる発光
素子を示す断面図である。図中n電極1、p電極4、導
電性基板7、Au接統層8、p-GaNクラッド層9、InGa
N活性層10、n-GaNクラッド層11は第一の実施例と同様
の構造であるため、説明を省略する。本実施例ではAu接
統層8とGaAs導電性基板7との間にp-AlGaInP層17が
形成され、さらにAu接統層8とp-GaNクラッド層9との
間にp-InGaIn層18が形成されている点で第一の実施例
と異なる。p-InGaIn層18はp-GaNクラッド層9上に結晶
成長させ、Au接統層8はp-InGaIn層18上に蒸着させ、p
-AlGaInP層17はGaAs導電性基板7上に結晶成長させ
る。そしてp-AlGaInP層17とAu接統層8を加圧状態で
密着させながら窒素ガス雰囲気中700℃、1時間のアニ
ールを行うことにより両者を張り合わせる。Au接統層8
はp-AlGaInP層17およびp-InGaIn層18からGaやInの析
出を促す。従って導電性基板7とダブルヘテロ構造部と
の張り合わせは容易に行われるようになる。p-AlGaInP
層17はInGaAs, InGaP, AlGaAs, AlGaAsP, InGaAsP, AlGa
InP, p-InGaAsを用いることも可能であり、p-InGaIn層
18はAlGaIn, InGaIn, AlGaInN, p-AlGaInを用いることも可
能である。

【0010】図8は本発明の第四の実施例に係わる発光
素子を示す断面図である。図中n電極1、p電極4、p-
GaNクラッド層9、InGaN活性層10、n-GaNクラッド層
11は第一の実施例と同様の構造であるため、説明を省
略する。本実施例ではGaAs導電性基板7の代わりにp-Si
導電性基板20を用いる点およびAu接統層8の代わりに
p-GaP/p-GaAs からなるスーパーラティス19を用いる
点で第一の実施例とは異なる。p-Si導電性基板20はス
ーパーラティス19に加圧状態で密着させながら窒素ガ
ス雰囲気中700℃、1時間のアニールを行うことにより
張り合わせる。p-Si導電性基板20のダブルヘテロ構造
部への張り合わせにおいてAu接統層8を用いると、p-Ga
Nクラッド層からのみGaが析出し、張り合わせは難しく

なる。スーパーラティス19はp-GaNクラッド層9上か
ら単原子層ずつ結晶成長して形成されていくが、その際
に格子が徐々にひずみp-Si導電性基板20とp-GaNクラ
ッド層9の格子定数の差を緩和する役目を果たすもので
ある。スーパーラティス19をAu接統層8の代わりに用
いられ、導電性基板にp-Siを用いることが出来る。ス
ーパーラティス19は約20組のp-GaP/p-GaAsの層からな
る。p-GaP層はp-Si導電性基板20に近いほど厚く、GaA
s導電性基板7側で薄くなるように形成される。反対にp
-GaAs層はp-Si導電性基板20に近いほど薄く、GaAs導
電性基板7側で厚くなるように形成される。

【0011】図9は本発明の第五の実施例に係わる発光
素子を示す断面図である。図中n電極1、p電極4、Au
接統層8、p-GaNクラッド層9、InGaIn活性層10、n-Ga
Nクラッド層11は第一の実施例と同様の構造であるた
め、説明を省略する。本実施例ではAu接統層8とp-GaN
クラッド層9との間にIn_{0.1}GaN/AlNの15組からなるDBR
(Distributed Bragg Reflector)層21が形成されて
いる。DBR層のIn_{0.1}GaNの厚さは0.045μmであ
り、AlNは0.052μmに設定されている。導電性基
板22はSiを用いている。DBR層21は90%の光反射
率を持つため、p-GaNクラッド層9とAu接統層8との間
に形成すれば光の基板吸収を防止出来る。DBR層21はA
u接統層8とSi導電性基板22の間に形成することも可
能である。図10は本発明の実施例に係わる発光素子を
上部から見た図である。図中11はn-GaNクラッド層で
あり、n電極1はn-GaNクラッド層1の中央に形成され
ている。n電極1はn-GaNクラッド層11上の中央に位
置する限りではなく、中央以外の位置に配置することも
可能である。

【0012】

【発明の効果】本発明の窒化ガリウム系化合物半導体発
光素子の構造により、発光有効面積率およびチップ収率
を上げることが出来る。発光素子の構造上、電流の流れ
はダブルヘテロ構造部の層に対して垂直方向であるた
め、従来の横方向の流れに比べて素子抵抗を抑えること
が出来る。接統層をダブルヘテロ構造部と導電性基板上
に介在させることにより密着性をよくすることができ
る。窒化ガリウム系化合物半導体発光素子の製造工程に
おいてサファイア基板を除去し導電性基板を形成するこ
とにより、チップ化が容易になり、歩留まりを向上させ
ることが出来る。

【図面の簡単な説明】

【図1】本発明の実施例に係わる半導体発光素子を用い
たLEDを示す断面図、

【図2】本発明の第一の実施例に係わる半導体発光素子
を示す断面図、

【図3】本発明の実施例に係わる半導体発光素子および
従来の発光素子のI-V特性を示す図、

【図4】本発明の第一の実施例に係わる半導体発光素子

7

の製造工程を示す断面図、

【図5】本発明の第一の実施例に係わる半導体発光素子の製造工程を示す断面図、

【図6】本発明の第二の実施例に係わる半導体発光素子を示す断面図、

【図7】本発明の第三の実施例に係わる半導体発光素子を示す断面図、

【図8】本発明の第四の実施例に係わる半導体発光素子を示す断面図、

【図9】本発明の第五の実施例に係わる半導体発光素子を示す断面図、

【図10】本発明の実施例に係わる半導体発光素子の上部の図、

【図11】従来の窒化ガリウム系化合物半導体発光素子

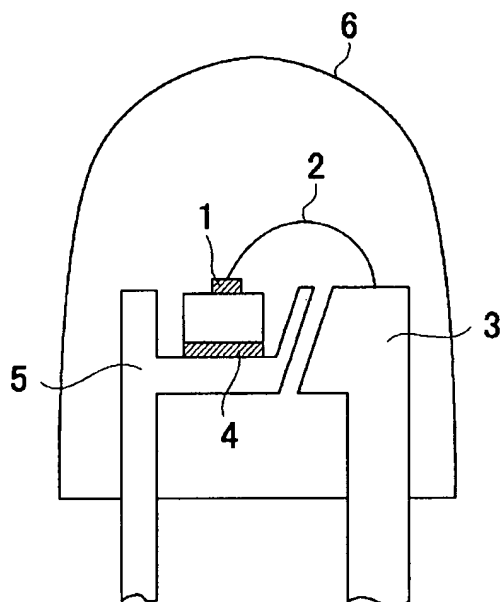
を用いたLEDを示す断面図、

【図12】従来の窒化ガリウム系化合物半導体発光素子を示す断面図。

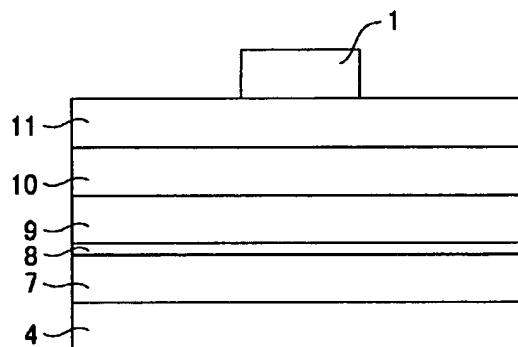
【符号の説明】

1…n電極、2、23、25…ボンディングワイヤー、3、5、24、26…リード、4…p電極、6…透明樹脂、7…GaAs導電性基板、8、16…Au接続層、9…p-GaNクラッド層、10… $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}$ ($0 \leq x, y \leq 1, x+y \leq 1$) 活性層、11…n-GaNクラッド層、12…n電極の形成に必要な部分、13…GaNバッファ層、14…サファイア基板、15…Pt膜、17…p-AlGaInP層、18…InGaIn層、19…スーパーラティス、20…p-Si導電性基板、21…DBR層、22…Si導電性基板、27…透明電極、28…絶縁膜。

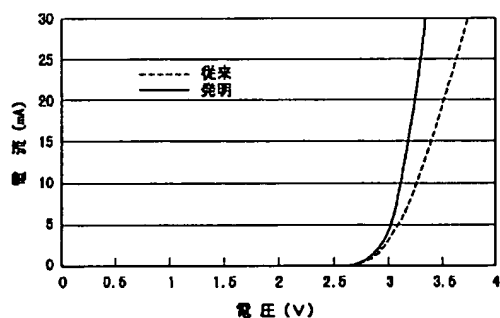
【図1】



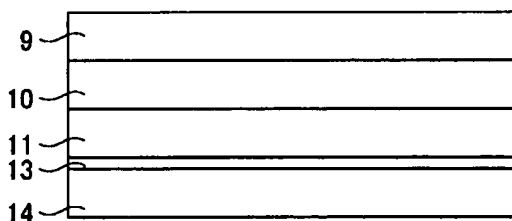
【図2】



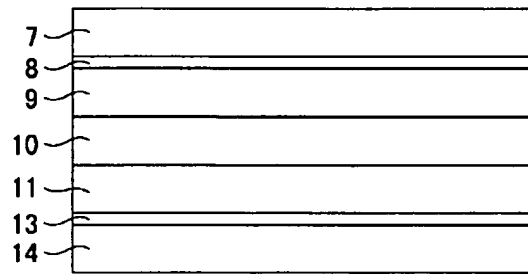
【図3】



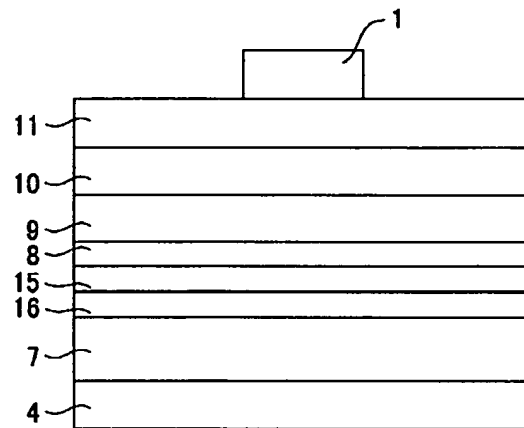
【図4】



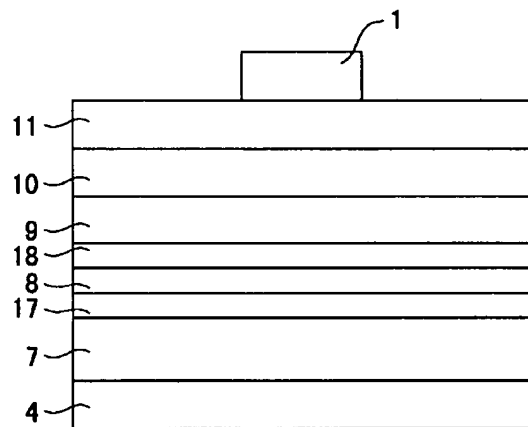
【図5】



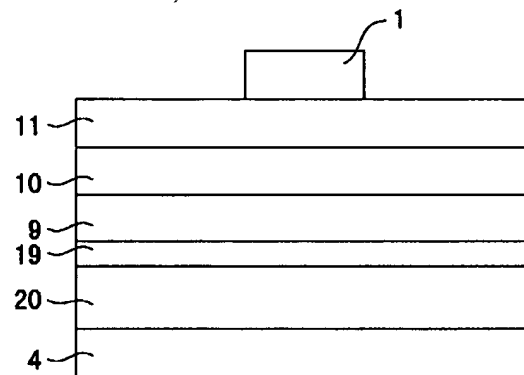
【図6】



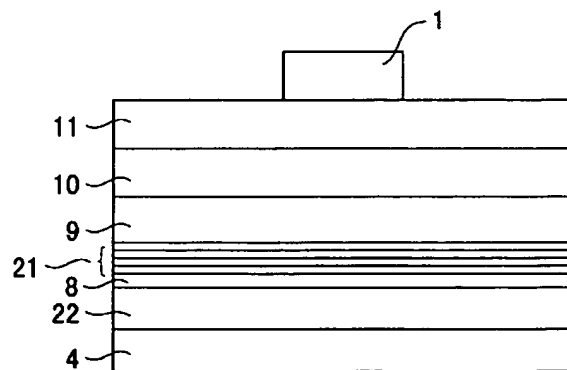
【図7】



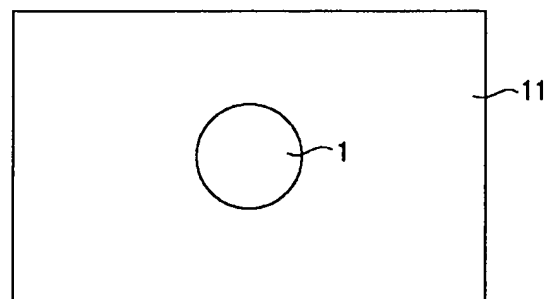
【図8】



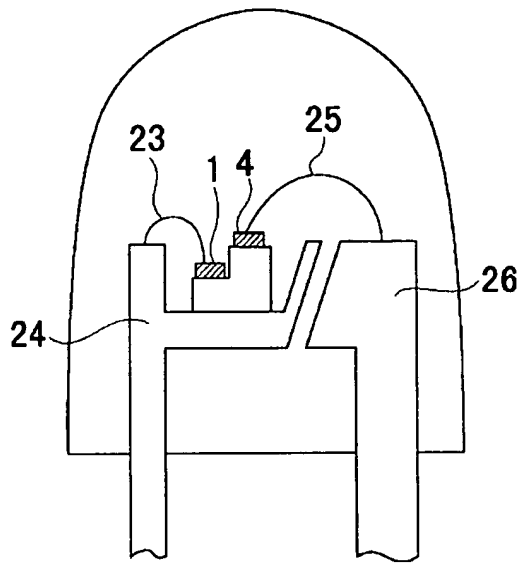
【図9】



【図10】



【図11】



【図12】

